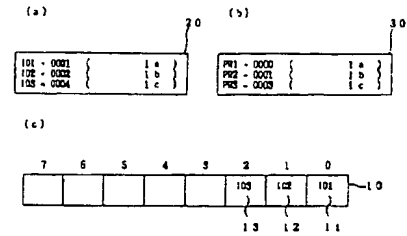


(54) EXCLUSIVE CONTROL SYSTEM FOR MULTI-PROCESSOR SYSTEM

- (11) 5-2569 (A) (43) 8.1.1993 (19) JP
 (21) Appl. No. 3-181792 (22) 25.6.1991
 (71) YASKAWA ELECTRIC CORP (72) HIROYUKI YAMADA
 (51) Int. Cl.⁵ G06F15/16, G06F12/00

PURPOSE: To provide a multi-processor system exclusive control system requiring no addition of a specific hardware even in a processor having no test-and-set instruction.

CONSTITUTION: The exclusive control system is constituted of a processor identification(ID) bit 20 inherent to each processor, an exclusive control word 10 in which exclusive control flags 11 to 13 equal to that of the bit 20 are set up, a priority order word 30 for setting up the priority order of respective processors in a local memory or a shared memory, an exclusive control flag setting means for setting up an exclusive control flag by using a bus locking function at the time of acquiring a shared resource, a queuing means for queuing respective processors when all processors simultaneously execute the exclusive control flag setting means, a priority order judging means for judging the priority order of resource acquisition by the exclusive control flags and the priority order word when exclusive control flag setting is mutually competed, and an exclusive control flag resetting means



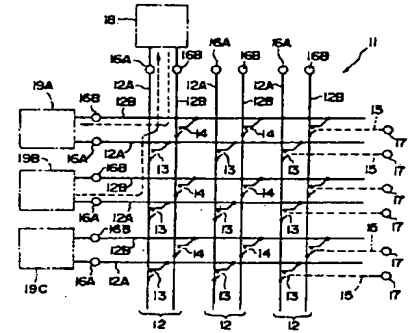
a: (for processor 1a), b: (for processor 1b), c: (for processor 1c)

(54) CROSS BAR SWITCH AND PARALLEL PROCESSOR USING THE SAME

- (11) 5-2570 (A) (43) 8.1.1993 (19) JP
 (21) Appl. No. 3-180318 (22) 25.6.1991
 (71) GURAFUIKO K.K. (72) KINYA MATSUMOTO
 (51) Int. Cl.⁵ G06F15/16, G06F13/40, G06F15/16, H04Q3/52

PURPOSE: To allow one processing element to execute data transfer simultaneously with other two processing elements and to attain the rapid processing of data by using a pair of signal lines as one unit to constitute a signal route.

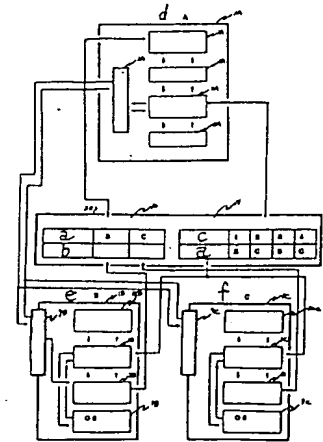
CONSTITUTION: Signal routes 12 each of which consists of a pair of signal lines 12A, 12B are arranged like a grating and contacts 13, 14 to be optionally opened/closed are arranged on respective intersecting parts of respective signal lines 12A, 12B and connected to control signal lines to form an integrated circuit. Namely a pair of signal lines 12A, 12B are formed as one unit to constitute each signal route 12 and respective signal routes 12 are arranged like a grating. In the case of using the switch as the connecting elements of processing elements such as a memory 18 and processors 19A to 19C, each processing element can be simultaneously used with one signal line as an input signal line and the other signal line as an output signal line. Consequently one processing element can execute data transfer simultaneously with other two processing elements and rapid data processing can be attained.

**(54) MULTI-PROCESSOR SYSTEM**

- (11) 5-2572 (A) (43) 8.1.1993 (19) JP
 (21) Appl. No. 3-148312 (22) 20.6.1991
 (71) NEC SOFTWARE LTD (72) SHINRI NAKANO
 (51) Int. Cl.⁵ G06F15/16

PURPOSE: To suppress the reduction of performance at the time of degenerate operation to temporary reduction by restoring a processor judged as an abnormal processor.

CONSTITUTION: A main processor 1A is provided with a degenerate operation resetting mechanism 6A and slave processors 1B, 1C are respectively provided with initializing mechanisms 9B, 9C for hardware and software. The mechanism 6A has a means for requesting initializing to the mechanisms 9B, 9C in the processors 1B, 1C executing degenerate operation, resetting their degenerate operation and restoring the mechanisms 9B, 9C. Namely the processor judged as an abnormal one in the system consisting of plural processors capable of executing degenerate operation can be returned to its normal state. Consequently the reduction of performance at the time of degenerate operation can be suppressed as temporary reduction.



10: processor operation information table, 11: processor function allocating table, 20: common area, a: processor name, b: operation state, c: partial charge function, d: processor A, e: processor B, f: processor C, 2A: multi-processor monitoring mechanism, 3A: request processing mechanism, 3B, 3C: request processing mechanism, 4A: processor function changing mechanism, 5A: degenerate operation mechanism, 7B, 7C: processor status setting mechanism, 8B, 8C: OS function selecting mechanism, 12B, 12: operation program

【特許請求の範囲】

【請求項 1】 一对の信号線からなる信号路を格子状に配置し、その配置した前記各信号線の各交差部に開閉自在な接点をそれぞれ設けると共に、前記各接点を制御用信号線に接続し、これらを集積回路により形成したことを特徴とするクロスバースイッチ。

【請求項 2】 前記クロスバースイッチを円形基板の中心に設け、そのクロスバースイッチの各一对の通信用端子に長さの等しい各一对の通信線を接続し、その各一对の通信線からなる通信路を前記円形基板上にその外周まで放射状に配列するとともに、前記クロスバースイッチの各接点の制御入力端子に各制御信号線を接続し、その各制御信号線を前記円形基板上に配列してクロスバースイッチ付きバス配線板を形成し、そのクロスバースイッチ付きバス配線板を同一軸線上に所定の間隔をあけて複数個配置して放射型バスを形成し、その放射型バスの周縁に沿って処理要素を外方に向けて配列するとともに、その処理要素を前記放射型バスの各先端部に電気的に接続し、前記クロスバースイッチの各接点をあらかじめ定め

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、クロスバースイッチ、およびそのクロスバースイッチを使用し、複数の処理要素（プロセッサやメモリなど）を同時に処理させて高速処理を行なう並列処理装置に関するものである。

【0002】

【従来の技術】 従来、この種の並列処理装置として、例えば図 7 に示すようにプロセッサやメモリなどの各処理要素 1 ～ 6 をクロスバースイッチ 7 を介在して結合するものが知られている。

【0003】

【発明が解決しようとする課題】 ところで、このような従来装置では、結合する処理要素数が増えるほど、クロスバースイッチ 7 は信号線数や接点数などが増えるので、そのスイッチの実現が物理的に難しいという問題がある。そのため、処理要素数を減らしたり、データを直列転送するようにして信号線数を減らしているのが現状である。その結果、従来のクロスバースイッチを使用した並列処理装置では、データの高速処理化が困難であるという問題が生じていた。

【0004】 そこで、本発明は、並列処理装置に好適なクロスバースイッチを提供すること、およびそのスイッチを使用してデータの高速処理化を図った並列処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 かかる目的を達成するために、本発明は以下のように構成した。すなわち、第 1 発明は、一对の信号線からなる信号路を格子状に配置

し、その配置した前記各信号線の各交差部に開閉自在な接点をそれぞれ設けると共に、前記各接点を制御用信号線に接続し、これらを集積回路により形成したことを特徴とするクロスバースイッチである。

【0006】 第 2 発明は、前記クロスバースイッチを円形基板の中心に設け、そのクロスバースイッチの各一对の通信用端子に長さの等しい各一对の通信線を接続し、その各一对の通信線からなる通信路を前記円形基板上にその外周まで放射状に配列するとともに、前記クロスバースイッチの各接点の制御入力端子に各制御信号線を接続し、その各制御信号線を前記円形基板上に配列してクロスバースイッチ付きバス配線板を形成し、そのクロスバースイッチ付きバス配線板を同一軸線上に所定の間隔をあけて複数個配置して放射型バスを形成し、その放射型バスの周縁に沿って処理要素を外方に向けて配列するとともに、その処理要素を前記放射型バスの各先端部に電気的に接続し、前記クロスバースイッチの各接点をあらかじめ定め

【0007】

【作用】 このように構成する第 1 発明のクロスバースイッチでは、一对の信号線 1 2 A, 1 2 B を一単位として信号路 1 2 を構成し、この信号路 1 2 を格子状に配置するものである。従って、このスイッチをメモリ 1 8 やプロセッサ 1 9 A ～ 1 9 C などの処理要素の結合素子として使用する場合には、各処理要素は一方の信号線を入力用に、また他方の信号線を出力用に同時使用できるので、1 つの処理要素が他の 2 つの処理要素とデータ転送が同時にでき、もってデータの高速処理化が可能になる。

【0008】 次に、第 2 発明の並列処理装置では、第 1 発明のクロスバースイッチ 1 1 を同一軸線上に配置し、これらクロスバースイッチ 1 1 を中心に、上下方向に関連する一对の通信線 1 2 A, 1 2 B の集合の単位からなる立体かつ放射状の放射型バス 2 8 を形成し、その各通信線 2 3 A, 2 3 B をデータ線、アドレス線、制御線などにそれぞれ割り当てるようにした。そして第 2 発明では、制御手段であるクロスバースイッチコントローラ 3 2 が、あらかじめ定め

【0009】 しかも第 2 発明では、たとえばバスを構成する一方の通信線 2 3 A 群を入力用に、また他方の通信線 2 3 B 群を出力用に使用できるので、これらの両通信線群を同時に使用して 1 つの処理要素が他の 2 つの処理

要素とデータ転送を同時にでき、もってデータの高速処理化が実現できる上に、並列処理をする上で自由度が大きくなる。

【0010】さらに加えて、第2発明の並列処理装置では、一对の通信線23A、23Bからなる通信路23の長さがそれぞれ等しく、かつクロスバースイッチ11は集積回路化して超小型なので、各処理要素30A、30B・・・の間はいずれも電氣的にほぼ等距離で、全ての処理要素30A、30B・・・間の通信距離がほぼ均一化する。その結果、第2発明の並列処理装置では、高速かつ正確な通信制御ができるので、安定した高速通信が可能となる。

【0011】

【実施例】まず、第1発明であるクロスバースイッチの実施例について、図1を参照して説明する。

【0012】このクロスバースイッチ11は、図1で示すような等価回路からなり、この回路をMOS技術などを使用して集積回路化し、それをパッケージ化すると共に外部接続用のピンを設けたものである。

【0013】すなわち、クロスバースイッチ11は、図1で示すように、一对の信号線12A、12Bを一単位とする信号路12を格子状に配置し、その配置した信号線12Aの各交差部に開閉自在な接点13をそれぞれ設けると共に、信号線12Bの各交差部に開閉自在な接点14をそれぞれ設け、これらを積回路化したものである。そして、各信号線12A、および各信号線12Bの一端是一对の通信用端子16A、16Bにそれぞれ接続し、各接点13、14は制御用信号線15を介して制御入力端子17に接続する。なお、クロスバースイッチ11は、上記の端子の他に図示しない電源端子、グランド端子などを有する。

【0014】このように構成するクロスバースイッチ11の所定の一对の通信用端子16A、16Bに、図示のようにメモリ18とプロセッサ19A～19Cを接続し、これらの間でデータの授受を行う場合を考えてみる。この場合には、所定の接点13、14を同時に閉じると、図示の破線で示すように、プロセッサ19Bは信号線12Aによりデータをメモリ18に書き込むと同時に、プロセッサ19Bは信号線12Bによりデータを同じメモリ18から読み出すことができる。

【0015】従って、このクロスバースイッチ11は、例えば一方の信号線12Aを入力用に、また他方の信号線12Bを出力用に使用できるので、メモリやプロセッサなどの処理要素の結合素子として使用する場合に、1つの処理要素は他の2つの処理要素とデータ転送が同時にでき、データの高速処理化が可能になる。

【0016】なお、上記実施例では、一对の信号線12A、12Bを一単位として信号路12を構成したが、信号線の本数は必要に応じて2本以上にしても良い。

【0017】次に、上記のクロスバースイッチ11を適

用した第2発明にかかる並列処理装置の実施例について、図2～図5を参照して説明する。

【0018】まず、この実施例の基本の単位となるクロスバースイッチ付きバス配線板21の平面図を図2に示す。このバス配線板21は、円形のプリント基板22の中心に集積回路化したクロスバースイッチ11を実装する。

【0019】クロスバースイッチ11の各一对の通信用端子16A、16Bには、図2に示すように長さの等しい一对の通信線23A、23Bの一端をそれぞれ接続し、その各一对の通信線23A、23Bからなる通信路23を、クロスバースイッチ11を中心にプリント基板22上にその外周まで放射状に配列する。そして、その各通信線23A、23Bの各他端には、図3で示すように後述するコネクタ24の各接続ピン25を着脱自在なソケット26を半田付けなどで接続する。また、クロスバースイッチ11の各制御入力端子17（実際には多数からなる）には、制御信号線27をそれぞれ接続し、その制御信号線27をクロスバースイッチ11を中心にプリント基板22上にその外周まで配列する。そして、その各制御信号線27の各他端には、図3で示すように後述するコネクタ24の各接続ピン25を着脱自在なソケット26を半田付けなどで接続する。

【0020】このように構成する各クロスバースイッチ付きバス配線板11は、図示しない支柱を介して上下方向の同一軸線上に、コネクタ24の接続ピン25の配置距離に対応する間隔で等間隔に所定の個数を連結する。そして、このクロスバースイッチ付きバス配線板21の所定個の連結が終了し、クロスバースイッチ付きバス配線板21の各ソケット26にコネクタ24のピン25を差し込むと、図4で示すような立体形状の放射型バス28が形成される。

【0021】従って、放射型バス28は、各クロスバースイッチ付きバス配線板21が上下方向の同一軸線上に等間隔隔てて配置されるとともに、各通信路23、各制御信号線27はそれぞれ同位相となる。また、この放射型バス28では、コネクタ24のピン25とソケット26を介して接続される一对の通信線23A、23Bの集合の単位が、クロスバースイッチ11を中心に立体かつ放射状のバスを形成するので、その通信路23の各通信線23A、23Bをデータ線、アドレス線、制御線などにそれぞれ割り当てる。

【0022】そして、コネクタ24に処理要素30A、30B、30C・・・を実装したプリント基板31を差し込むと、図5で示すように放射型バス28の周縁に沿って処理要素30A、30B、30C・・・を実装したプリント基板31が外方に向けて配列された状態となる。さらに、各クロスバースイッチ付きバス配線板21の各制御信号線27に接続するコネクタ24には、クロスバースイッチ11の各接点13、14を開閉制御する

クロスバースイッチコントローラ32を実装したプリント基板31を差し込む。なお、各プリント基板31に搭載する処理要素30A、30B、30C・・・の例としては、プロセッサ(CPU)や各種のメモリのほかに、キーボードや表示装置などの入出力装置を制御する入出力プロセッサがある。

【0023】次に、このように構成する実施例の並列処理の実行の流れについて、図6を参照して説明する。

【0024】いま、与えられた問題(例えばカラー画像処理)を解決するために逐次型言語(例えばフォートラン)、または並列型言語で作成したプログラムが所定のメモリに格納されているものとする。

【0025】逐次型言語で作成されたプログラムの場合には、並列化コンパイラがそのプログラムから並列に実行可能な部分を見いだし、並列動作(タスク)に分解して仕事の順序付けをする。一方、並列型言語で作成されたプログラムの場合には、並列言語コンパイラが並列部を抽出する。その結果、並列マシンコードが作成される。

【0026】次いで、並列マシン上のオペレーティングシステムが動的なプロセッサの割り当てを行ない、これに基づいて各クロスバースイッチ11の切り換え制御スケジュールを決定し、並列実行を管理する。これにより、クロスバースイッチコントローラ32は、スケジュールに基づいて各クロスバースイッチ11の各接点13、14を切り換え制御し、処理要素30A、30B、30C・・・である複数の各プロセッサは、プログラムに基づいてデータを同時に並列処理する。

【0027】しかもこの実施例では、クロスバースイッチ11を上下方向に同一軸線上に配置し、これらクロスバースイッチ11を中心に、上下方向に関連する一対の通信線23A、23Bの集合の単位からな立体状の放射型バス28を形成するようにした。従って、この実施例では、例えばバスを構成する一方の通信線23A群を入力用に、また他方の通信線23B群を出力用にそれぞれ同時使用できるので、たとえば1つの処理要素30Aが他の2つの処理要素30B、30Cとデータ転送を同時にでき、もってデータの高速処理化が図れる。

【0028】以上の実施例では、クロスバースイッチ付きバス配線板21を片面のプリント基板としたが、これに代えてプリント基板を両面板や多層板にしても良い。

【0029】このような実施例をカラー画像処理に使用すると、表示装置などの出力時において、赤、緑、青の各色のメモリを中心として処理したデータをI/OCPU側に切り換えることによりメモリ間のデータ転送を省略できる。

【0030】また、カラー印刷に使用すると、イエロー、シアン、マゼンタ、ブラックの4色に対し、特定のCPUを接続し、並行処理を行ったり、大量データ処理の場合にメモリを分割し、CPUの処理領域を分散する

ことができる。この場合にも、バスネックも無駄なデータ転送を行わないため非常に高速に処理できる。

【0031】さらに、アニメーションなどの動画像を生成する場合には、1フレームごとに別個のCPUが処理を行うことにより、超高速の処理が可能となりリアルタイム処理ができる。

【0032】

【発明の効果】以上のように第1発明のクロスバースイッチは、一対の信号線を一単位として信号路を構成したので、メモリやプロセッサなどの処理要素の連結素子として使用する場合には、一方の信号線を入力用に、また他方の信号線を出力用に使用できる。その結果、1つの処理要素が他の2つの処理要素とデータ転送が同時にできるようになり、もってデータの高速処理化に寄与できる。

【0033】また、第2発明の並列処理装置は、第1発明のクロスバースイッチを上下方向に配置し、これらクロスバースイッチを中心に、上下方向に関連する一対の通信線の集合の単位からな立体状の放射型バスを形成するようにした。従って、第2発明では、バスを構成する一方の通信線群を入力用に、また他方の通信線群を出力用に使用できるので、これらの両通信線群を同時に使用して1つの処理要素が他の2つの処理要素とデータ転送を同時にできるようになり、もってデータの高速処理化が実現でき、しかもデータを並列処理する上で自由度が大きくなる。

【0034】さらに、第2発明の並列処理装置では、各通信線の長さがそれぞれ等しくかつクロスバースイッチは集積回路化して超小型なので、各処理要素の間はいずれも電氣的にほぼ等距離で、全ての処理要素間の通信距離がほぼ均一化する。その結果、第2発明の並列処理装置では、高速かつ正確な通信制御ができるので、安定した高速通信が可能となる。

【図面の簡単な説明】

【図1】第1発明であるクロスバースイッチの一例を示す等価回路である。

【図2】第2発明の構成の基本単位となるクロスバースイッチ付き配線板の一例を示す平面図である。

【図3】第2発明にかかるソケットの一例を示す断面図である。

【図4】第2発明にかかる放射型バスの一例を示す全体斜視図である。

【図5】第2発明の実施例を示す全体斜視図である。

【図6】その実施例の並列処理の実行の流れの一例を説明する図である。

【図7】従来装置の一例を示す図である。

【符号の説明】

11 クロスバースイッチ

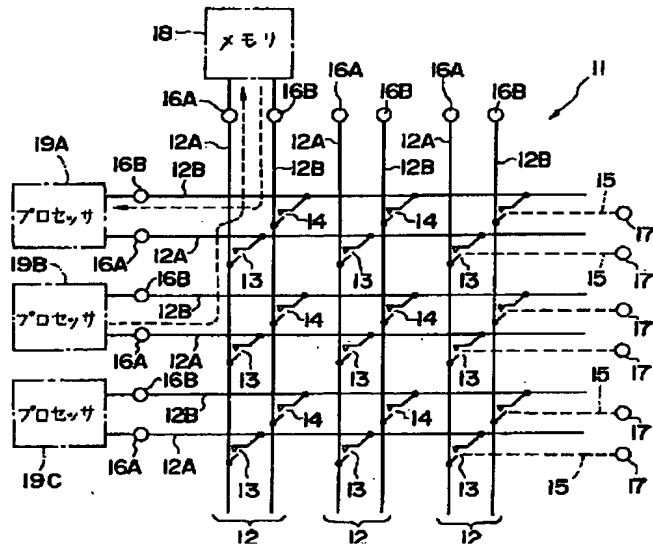
12 信号路

12A、12B 信号線

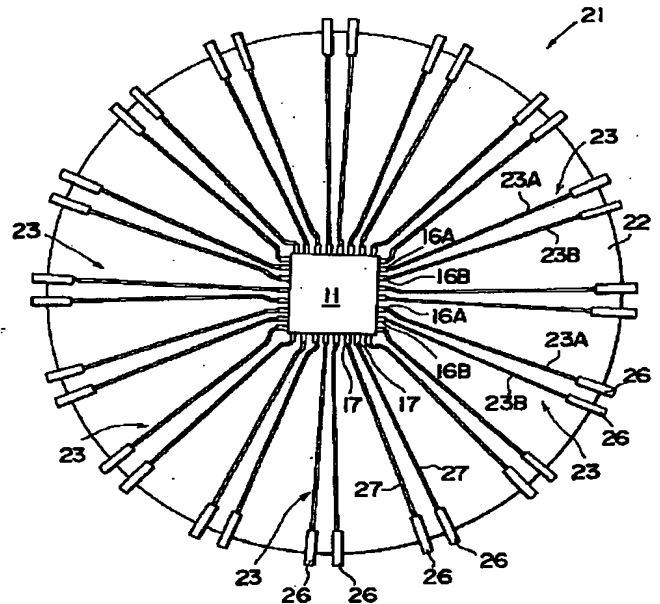
- 13, 14 接点
 15 制御用信号線
 16 通信用端子
 17 制御入力端子
 21 クロスバースイッチ付きバス配線板

- * 22 プリント基板
 23A, 23B 通信線
 27 制御信号線
 28 放射型バス
 * 30 処理要素

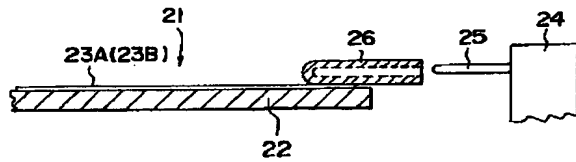
【図 1】



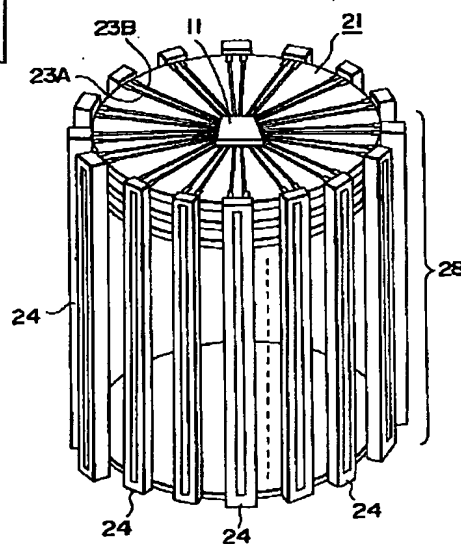
【図 2】



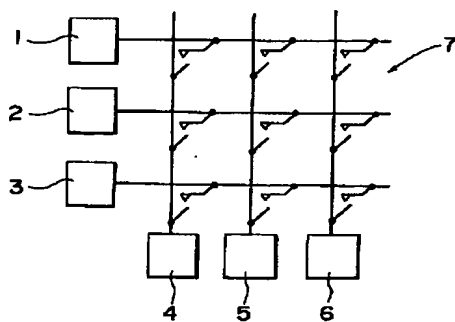
【図 3】



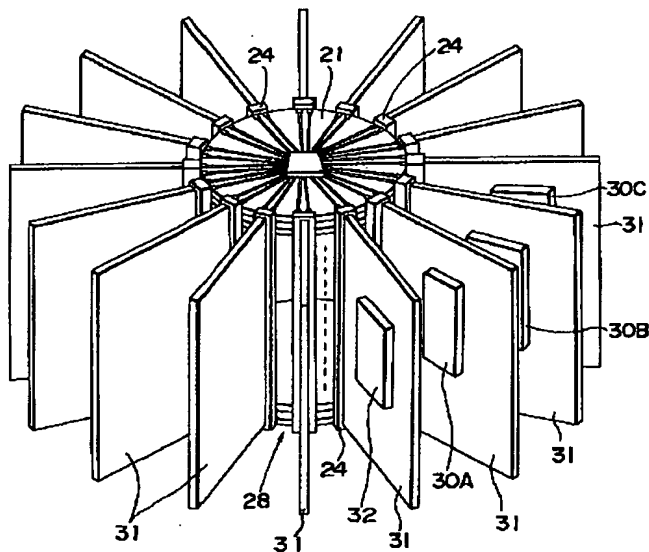
【図 4】



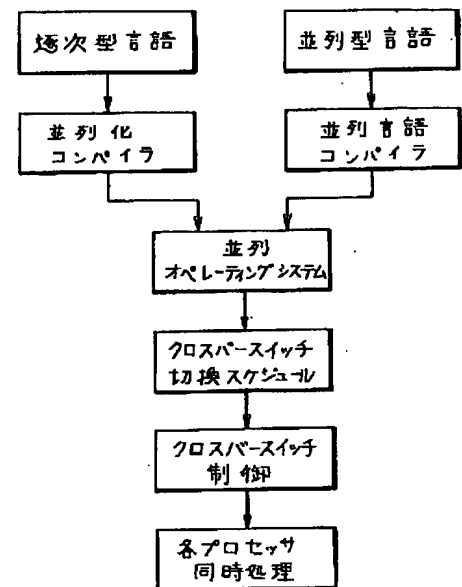
【図 7】



【図5】



【図6】



【手続補正書】

【提出日】平成4年5月22日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【作用】このように構成する第1発明のクロスバースイッチでは、一对の信号線12A、12Bを一単位として信号路12を構成し、この信号路12を格子状に配置するものである。従って、このスイッチをメモリ18やプロセッサ19A～19Cなどの処理要素の結合素子として使用する場合には、各処理要素は一方の信号線を入力用に、また他方の信号線を出力用に同時使用できるので、1つの処理要素が他の2つの処理要素とデータ転送が同時にでき、もってデータの高速処理化が可能になる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】すなわち、クロスバースイッチ11は、図1で示すように、一对の信号線12A、12Bを一単位とする信号路12を格子状に配置し、その配置した信号線12Aの各交差部に開閉自在な接点13をそれぞれ設けると共に、信号線12Bの各交差部に開閉自在な接点

14をそれぞれ設け、これらを集積回路化したものである。そして、各信号線12A、および各信号線12Bの一端は一对の通信用端子16A、16Bにそれぞれ接続し、各接点13、14は制御用信号線15を介して制御入力端子17に接続する。なお、クロスバースイッチ11は、上記の端子の他に図示しない電源端子、グランド端子などを有する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】しかもこの実施例では、クロスバースイッチ11を上下方向に同一軸線上に配置し、これらクロスバースイッチ11を中心に、上下方向に関連する一对の通信線23A、23Bの集合の単位からなる立体状の放射型バス28を形成するようにした。従って、この実施例では、例えばバスを構成する一方の通信線23A群を入力用に、また他方の通信線23B群を出力用にそれぞれ同時使用できるので、たとえば1つの処理要素30Aが他の2つの処理要素30B、30Cとの間でデータ転送を同時にでき、もってデータの高速処理化が図れる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】このような実施例をカラー画像処理に使用すると、表示装置などの出力時において、赤、緑、青の各色のメモリを中心として処理したデータをI/OCPU側に切り換えることによりメモリ間のデータ転送を省略できる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】また、カラー印刷に使用すると、イエロー、シアン、マゼンタ、ブラックの4色に対し、特定のCPUを接続し、並行処理を行ったり、大量データ処理の場合にメモリを分割し、CPUの処理領域を分散することができる。この場合にも、バスネックは無駄なデータ転送を行わないため非常に高速に処理できる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】

【発明の効果】以上のように第1発明のクロスバースイ

ッチは、一対の信号線を一単位として信号路を構成したので、メモリやプロセッサなどの処理要素の連結素子として使用する場合には、一方の信号線を入力用に、また他方の信号線を出力用に使用できる。その結果、1つの処理要素が他の2つの処理要素との間でデータ転送が同時にできるようになり、もってデータの高速処理化に寄与できる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】また、第2発明の並列処理装置は、第1発明のクロスバースイッチを上下方向に配置し、これらクロスバースイッチを中心に、上下方向に関連する一対の通信線の集合の単位からなる立体状の放射型バスを形成するようにした。従って、第2発明では、バスを構成する一方の通信線群を入力用に、また他方の通信線群を出力用に使用できるので、これらの両通信線群を同時に使用して1つの処理要素が他の2つの処理要素との間でデータ転送を同時にできるようになり、もってデータの高速処理化が実現でき、しかもデータを並列処理する上で自由度が大きくなる。